



正反器的認與應用

一、實習目的

- (1) 瞭解順序邏輯電路與組合邏輯電路之差異。
- (2) 認識各種正反器之特性。
- (3) 認識狀態圖及激勵表。

二、相關知識

1. 順序邏輯與組合邏輯

任何數位電路都如圖 36-1 所示，具有 N 個輸入變數（或稱為激勵）及 M 個輸出變數（或稱為反應）。如果一個數位電路的輸出端，在任一瞬間的輸出值完全由“當時”輸入端的信號決定，則我們稱此種數位電路為組合邏輯電路。

如果數位電路的輸出值不但與輸入的當時值有關，而且與此電路“過去”的歷史有關，則我們稱此種數位電路為順序邏輯電路。而欲保存過去的結果，就需要有記憶元件來儲存這些資料；在順序邏輯電路中所用到的記憶元件就是本實習所要介紹的“正反器”（flip-flop；簡稱為 FF）。

爲了讓同學們更易於瞭解“順序”邏輯與“組合”邏輯之差異，我們現在舉日常生活中常見的實例說明之：

圖 36-2 (a) 是一種只有一個轉盤的號碼鎖，圖 36-2 (b) 則是一種有三個轉輪排成一排的號碼鎖。鎖的輸入就是轉盤或轉輪被轉動的情形，鎖的輸出則只有“開”或“不開”兩種狀態。圖 36-2 (a) 之號碼鎖，其是否能打開不僅與轉盤“目前”的位置有關，而且也與轉盤“剛才”的定位順序有關，所以這種號碼鎖是屬於“順序”裝置。圖 36-2 (b) 之號碼鎖則只要三個轉輪都定位在正確的數目上就可以將鎖打開，而與三個轉輪定位的順序沒有關係，所以這種號碼鎖是屬於“組合”裝置。

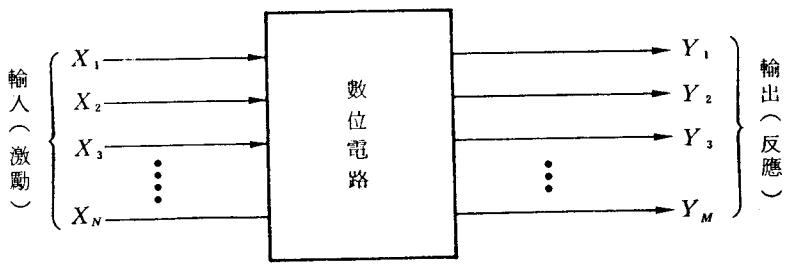


圖 36-1 數位電路的概念圖

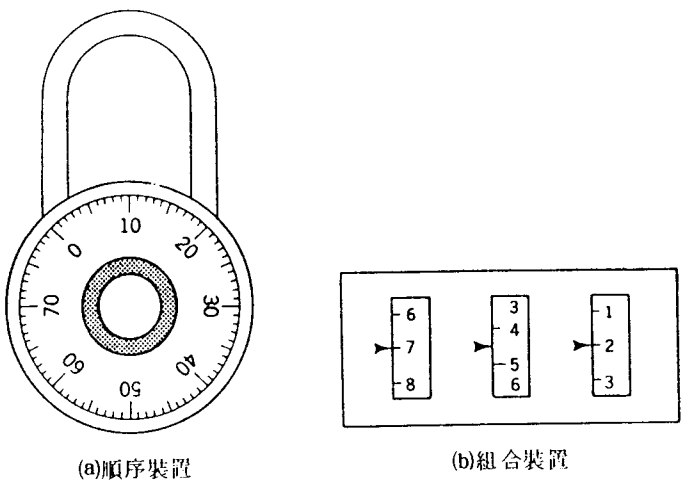


圖 36-2 號碼鎖的兩種型式

電話系統是“順序”裝置的另一個好例子。本省的電話號碼連區域號碼共有九個數目字（例如 047252541），假如你現在正在撥第九個數目字，則這第九個數目字就是電話系統“現在”的輸入，而接通至目的地與否就是電話系統的輸出；很顯然的，電話是否能接通至目的地，不但與“現在”的輸入有關，而且與前面所撥的八個數字之順序有關。所以電話系統也是一種“順序”裝置。

2. 正反器之基本認識

我們已學過的各種基本閘，在輸入信號消失（或變更）時，輸出狀態會立即隨之改變。然而在電路中，有時却需要在輸入信號已消失（或變更）時輸出狀態還保持不變之記憶裝置，此類裝置以正反器（flip-flop）最為普遍。

正反器一般包含有兩個輸入、兩個輸出及一個以上的控制信號輸入端。兩個輸出端通常以 Q 及 \bar{Q} 標之，兩者為互補關係，當 Q 為1時 \bar{Q} 就為0，當 Q 為0時 \bar{Q} 就為1。正反器的輸出狀態由輸入情形和控制信號共同決定，一旦決定之後它就保持此一狀態，直到它又接到另外一個要它改變狀態的信號為止。

2-1 R-S正反器(R-S閘)

R-S正反器是一種最基本的正反器，其他型的正反器都是以R-S正反器為基礎所發展出來的。但是在市面上很難買到現成的R-S正反器，因此在電路中R-S正反器多以基本閘NOR gate或NAND gate組成。

圖36-3是使用NOR gate組成之R-S正反器，茲說明如下：

- (1) 在S輸入端加Hi（即邏輯1）會令輸出端 $Q = 1$ 。
- (2) 在R輸入端加Hi會令輸出 $Q = 0$ 。
- (3) S是設定（set）的意思。R是復置（reset）的意思。
- (4) 為保持工作的正常，應避免R與S輸入端同時為1。

[註] 當輸入端R及S都為1時，會令 $Q = \bar{Q}$ ，違反了 Q 與 \bar{Q} 互為補數的定義，因此在此真值表中標示為“不允許之狀態”。

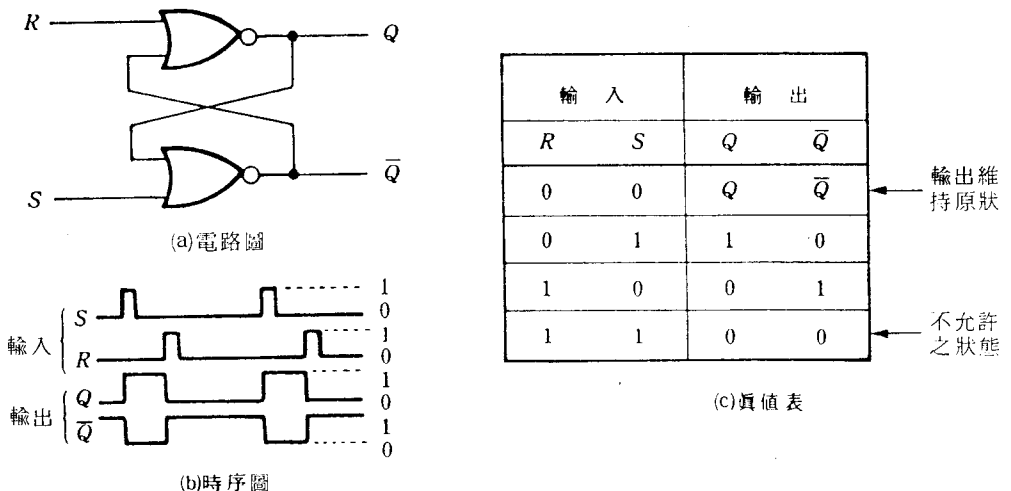


圖36-3 用兩個NOR Gate組成之R-S正反器

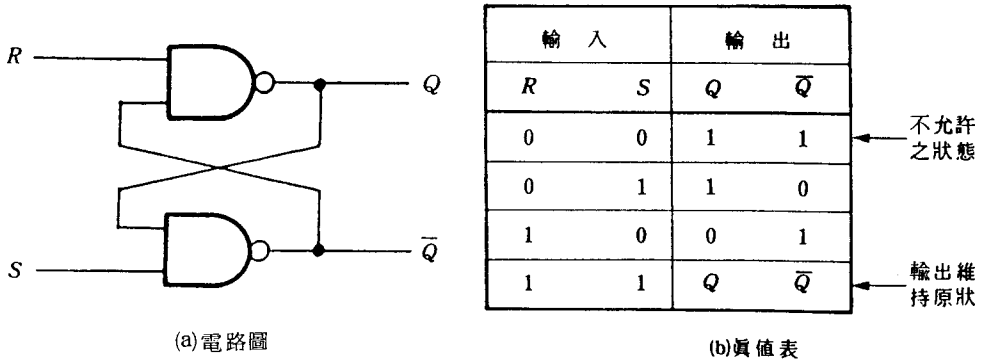


圖36-4 以兩個NAND Gate組成之R-S正反器

(5) 欲徹底瞭解動作情形，看圖 36-3 (b)之時序圖能達到事半功倍的效果。

圖 36-4是以兩個 NAND gate 組成之 R-S 正反器。動作情形如(b)圖之真值表。欲保持工作之正常，必需避免 R 和 S 同時為 0。

圖36-3及圖36-4之輸出狀態直接由兩個輸入端 (R 和 S) 決定，並沒有任何控制輸入端，因此人們常稱之為門鎖電路 (latch) 而不稱為正反器，以便與具有控制輸入端的正反器有所區別。

2-2 J-K 正反器

J-K 正反器是 R-S 正反器的改良型，也是用途最廣泛的正反器。輸入端之所以標示為 J 和 K 只是為了和 R、S 有所區別。

J-K 正反器之邏輯符號和真值表如圖 36-5 所示。當 $J = K = 1$ 時，每個時序脈波 (clock) CK 輸入之後，會使輸出變成原來的補數。

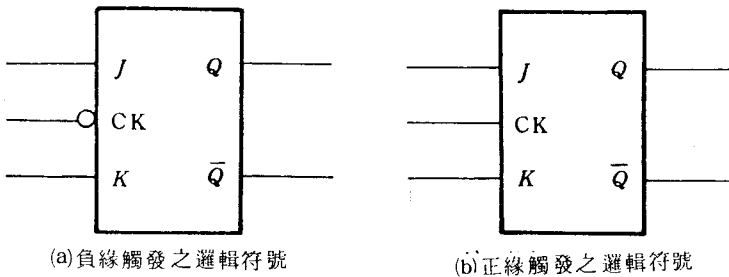
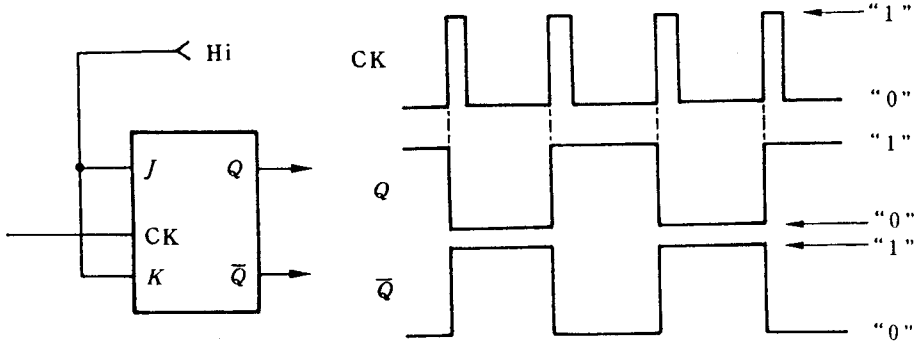


圖36-5 J-K正反器

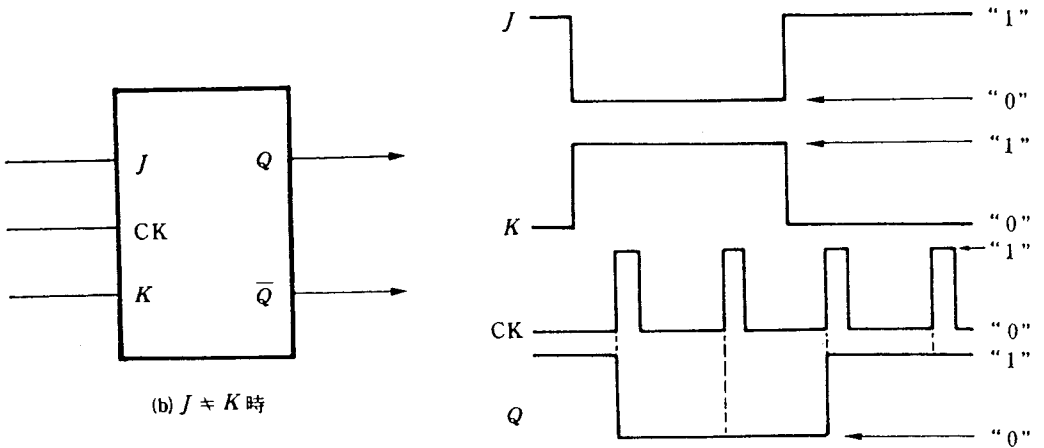
輸入		輸出		
J	K	Q_{n+1}	\overline{Q}_{n+1}	
0	0	Q	\overline{Q}	← 輸出維持原狀
0	1	0	1	
1	0	1	0	
1	1	\overline{Q}_n	Q_n	← 輸出倒轉

(c) 真值表

圖 36-5 (續)



(a) $J = K = 1$ 時



(b) $J \neq K$ 時

圖 36-6 正緣觸發型 $J-K$ 正反器的時序圖

正反器的輸入資料在每個時序脈波之後會傳送到輸出端。有的正反器是在時序脈波電壓上升時輸出，稱為正緣（或前緣）觸發。有的正反器是在時序脈波下降時輸出，稱為負緣（或後緣）觸發。圖 36-6 是正緣觸發型 $J-K$ 正反器之時序圖。另外有一種穩為主奴型正反器或主僕型正反器的，在時序脈波的上升緣將輸入資料先取入正反器的內部貯存起來，等時序脈波下降時才將內部資料送至輸出端。

2-3 D型正反器

D 型正反器專門用來儲存資料 (data)。每當時序脈波 (clock ; CK) 控制端輸入一個脈波時， D 輸入端之狀態就傳到輸出端 Q ；沒有時序脈波輸入時，輸出與輸入 (D 端) 之間互相隔離，輸出端之狀態保持不變。 D 型正反器之邏輯符號、時序圖、真值表等如圖 36-7 所示。 \bar{Q} 之狀態永遠與 Q 為互補的關係。

2-4 T型正反器

T 型正反器如圖 36-8 所示，只有一個輸入端 T 和兩個輸出端 Q 、 \bar{Q} 。每當 T 輸入端有一個脈波輸入， Q 和 \bar{Q} 就會將原來的狀態反轉 (toggle)，由圖 36-8 (b) 可看出輸

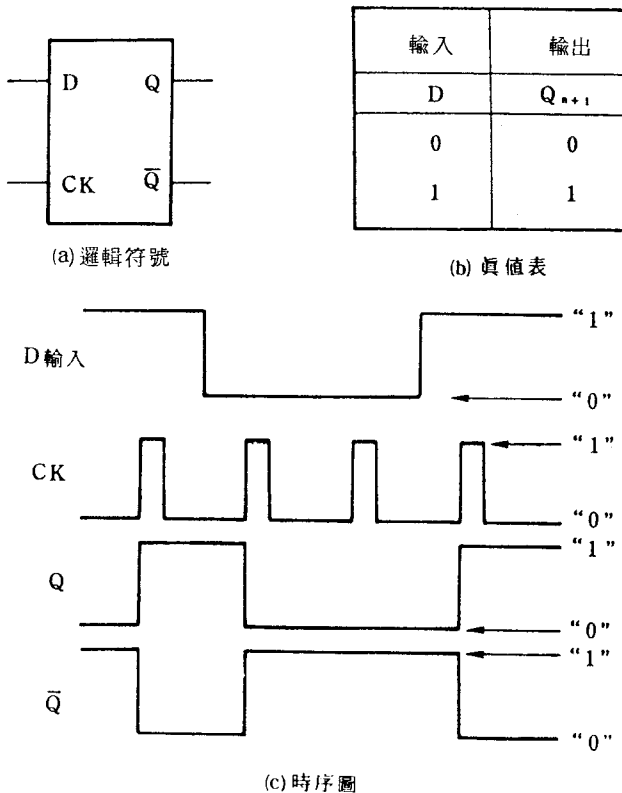


圖36-7 D型正反器

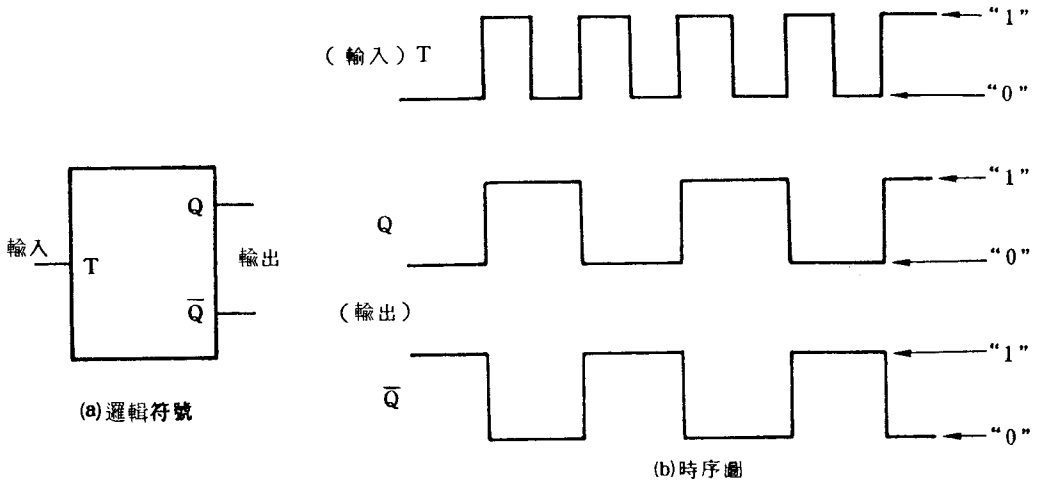


圖36-8 T型正反器

出端之頻率只有輸入頻率的 $\frac{1}{2}$ 。

1-5 正反器之互化

由於T型正反器並沒有專用的 IC，因此當需要T型正反器時，就如圖36-9所示把J-K正反器或D型正反器做適當的接線，使之達成T型正反器的功能。

我們亦可將J-K正反器加上一個反相器，使其成為D型正反器，如圖36-10所示。

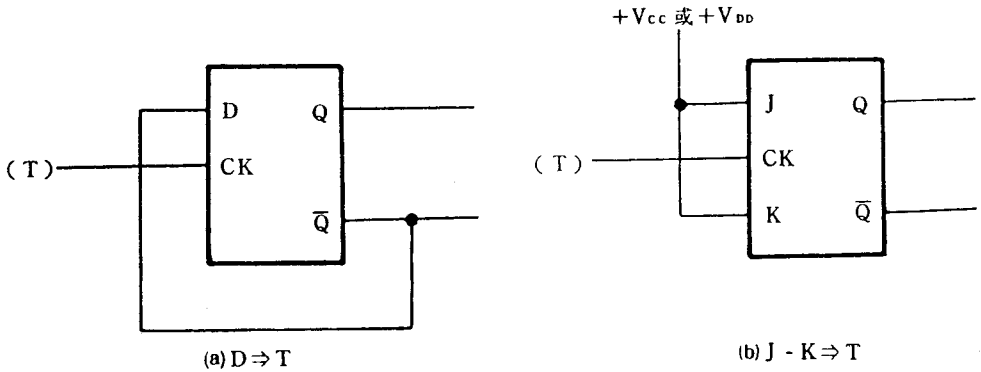


圖36-9 T型正反器的獲得

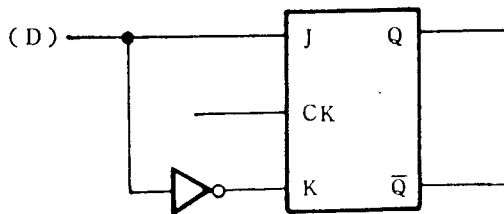


圖36-10 J-K \Rightarrow D

3.TTL之常用之正反器介紹

7474

7474的內部有兩個正緣觸發的D型正反器，接腳如圖36-11所示。

加於D之輸入資料僅當時序脈波CK由Lo變Hi之瞬間會傳送至Q，並保存於Q。
 \bar{Q} 則永遠與Q為互補關係。

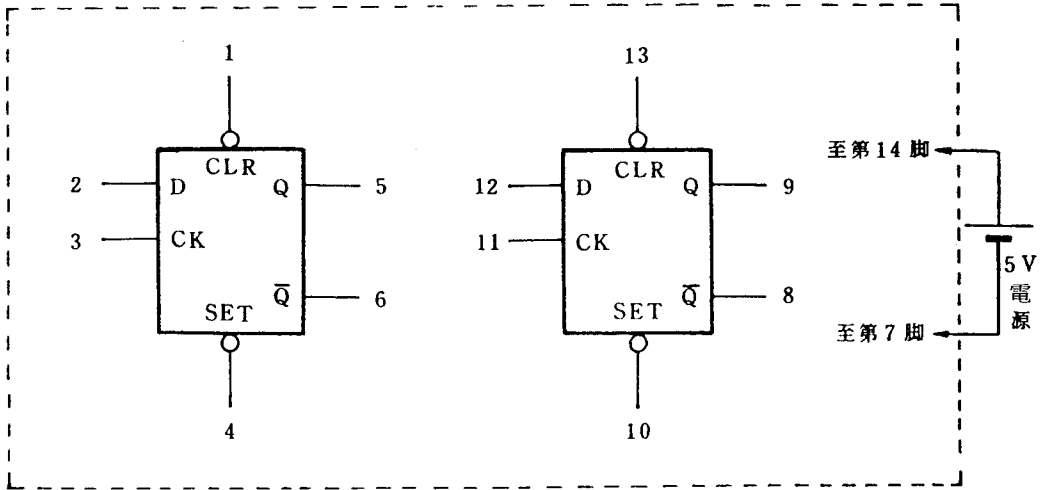


圖36-11 7474接腳圖

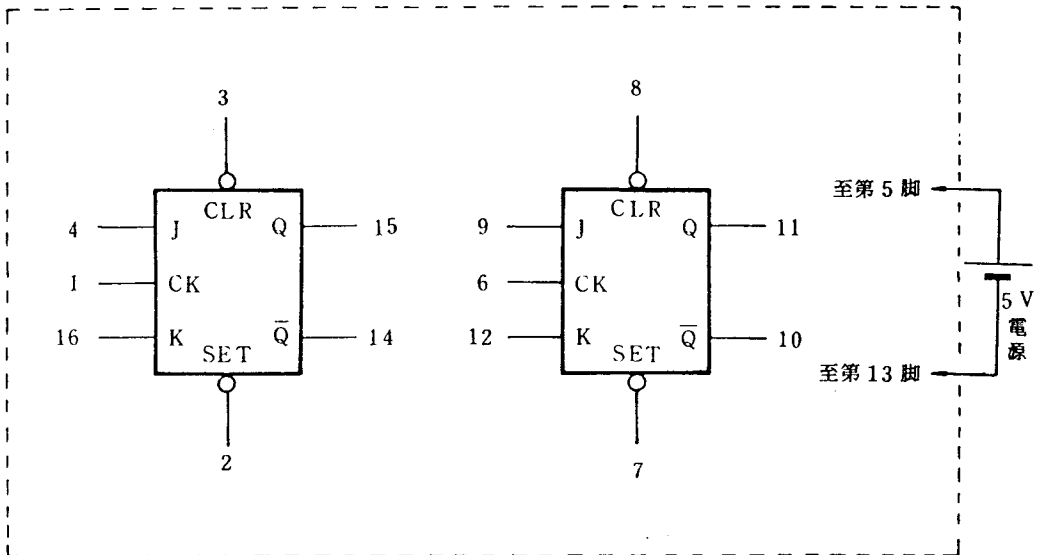


圖36-12 7476接腳圖

註：CK = CLOCK
 CLR = CLEAR
 SET = PRESET

在正常工作時，清除 (clear ; CLR) 與設定 (set) 腳需接於 Hi。如果把 CLR 腳接地，則 Q 被強迫成爲 Low， $\bar{Q} = \text{Hi}$ 。若把 SET 腳接地，則 Q 被強迫成爲 Hi， $\bar{Q} = \text{Low}$ 。注意！不可同時令 CLR 及 SET 腳接地，否則會產生 $Q = \bar{Q} = \text{Hi}$ 之不正常輸出狀態。

接腳圖中，臨接正反器處之 CLR 與 SET 均畫有一個小圓圈，代表它是以低態輸入動作 (active low)。

7476




7476 的接腳如圖 36-12 所示。內部有兩個主奴型 J-K 正反器。於時序脈波由低態上升爲高態後，將資料儲存於內部，於時序脈波由高態降爲低態時才把內部資料依真值表而傳送至輸出端。

4.CMOS之正常用正反器介

4013

4013 的內部有兩個正緣觸發的 D 型正反器，接腳如圖 36-13 所示。動作情形如表 36-1，由表 36-1 可得知：

表36-1 CD4013之真值表

輸 入				輸 出	
CLOCK	D	RESET	SET	Q	\bar{Q}
	0	0	0	0	1
	1	0	0	1	0
	x	0	0	Q	\bar{Q}
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

保持原狀

不允許之狀態

註：本真值表中
 0 = 邏輯 0 = 低態 = Low
 1 = 邏輯 1 = 高態 = Hi
 x 表示沒有影響

- (1) 在正常工作時 RESET 及 SET 脚需接地。
- (2) 不可令 RESET 與 SET 脚同時為高態。若同時令 RESET 及 SET 脚為高態，則會產生 $Q = \bar{Q} = 1$ 之狀態，違反了 Q 與 \bar{Q} 互為補數的定義。

4027

4027 之接脚如圖 36-14 所示，內部有兩個主奴型 $J-K$ 正反器，動作情形如表 36-2 所示。

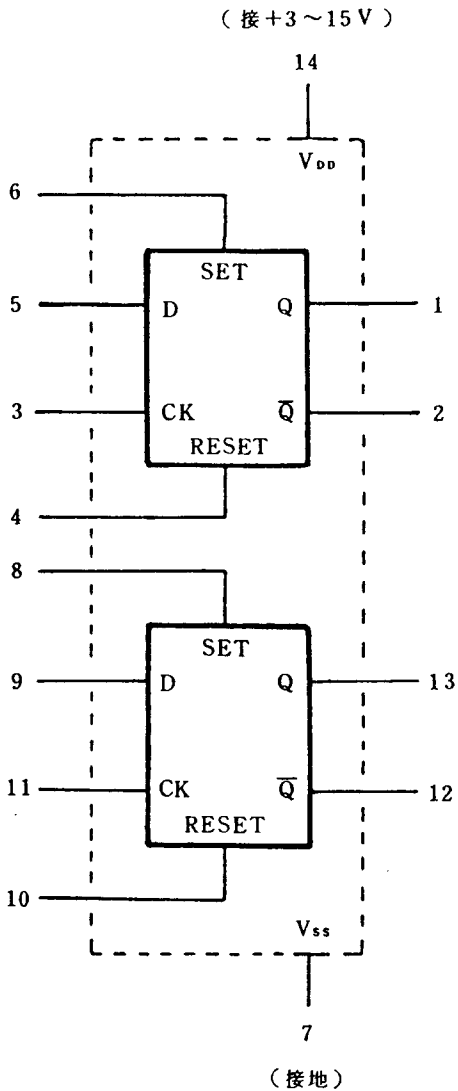


圖 36-13 4013 接脚圖

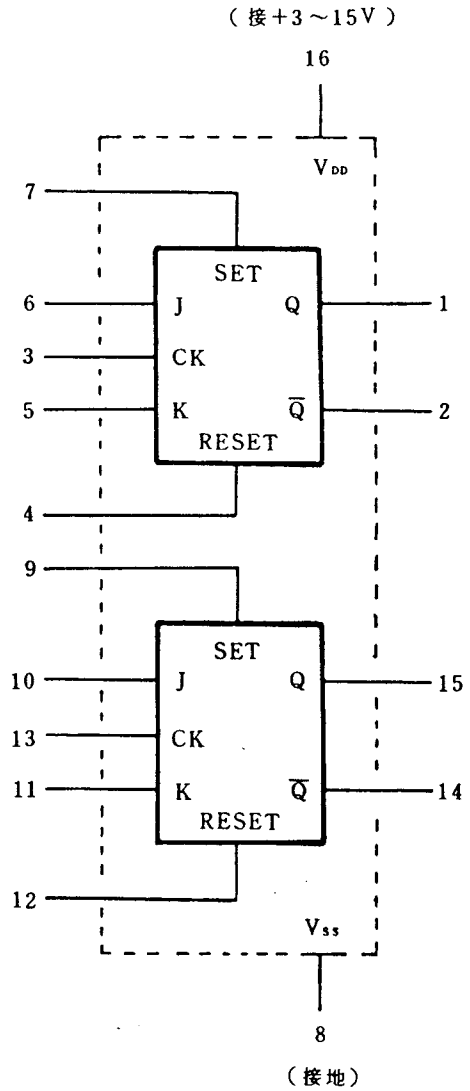
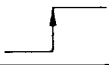






圖 36-14 4027 接脚圖

表36-2 CD4027之真值表

前 一 狀 態					CK	後 一 狀 態	
輸 入				輸 出		輸 出	
J	K	SET	RESET	Q _n		Q _{n+1}	\overline{Q}_{n+1}
1	×	0	0	0		1	0
×	0	0	0	1		1	0
0	×	0	0	0		0	1
×	1	0	0	1		0	1
×	×	0	0	×		Q _n	\overline{Q}_n
×	×	1	0	×	×	1	0
×	×	0	1	×	×	0	1
×	×	1	1	×	×	1	1

註：
 0 = 邏輯 0 = 低態
 1 = 邏輯 1 = 高態
 × 表示沒有影響

保持原狀

不允許之狀態

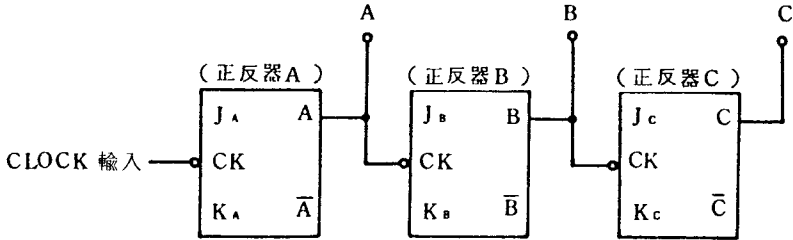
5. 正反器之基本應用

5-1 二進位異步計數器 (向上計數器)

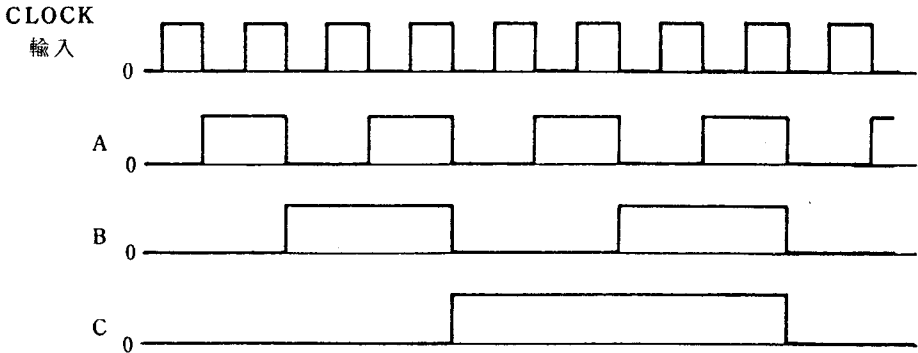
將主奴型 $J-K$ 正反器如圖 36-15 (a) 所示串接起來，就成為二進位異步計數器。因為各正反器之 CLOCK 端並未接在一起，CLOCK 端的動作不同步，故稱為異步計數器 (亦有人稱為鏈波計數器)。各正反器之輸出波形示於圖 36-15 (b)。

圖中各 $J-K$ 正反器的 J 、 K 輸入端均為 Hi，故每個 CLOCK 之後使正反器的輸出變成原來的補數。由圖 36-15 (b) 的波形可知 A 的頻率為 CLOCK 的 $\frac{1}{2}$ ， B 為 A 的 $\frac{1}{2}$ ， C 為 B 的 $\frac{1}{2}$ ，每個正反器將輸入頻率除以 2，故 CLOCK 經過 3 個正反器後頻率降為

$(\frac{1}{2})^3 = \frac{1}{8}$ ，每輸入 8 個 CLOCK，C 才輸出 1 週。各正反器的輸出狀態如表 36-3 所示。



(a) 三位元異步計數器 (所有正反器之 $J = K = \text{Hi}$)



(b) 各正反器的輸出電壓波形 (以負緣觸發為例)

圖 36-15 以正反器組成二進位異步計數器 (向上計數器)

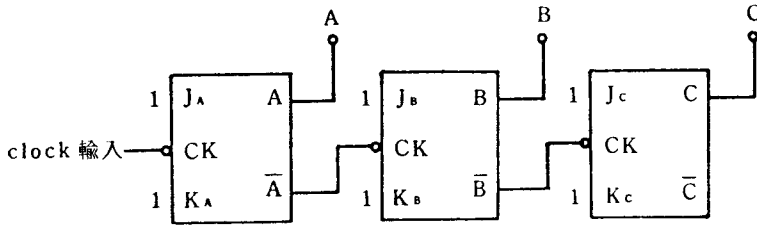
表 36-3 三位元二進位計數器狀態表

輸入脈波數 / 輸出狀態	0	1	2	3	4	5	6	7	8
A	0	1	0	1	0	1	0	1	0
B	0	0	1	1	0	0	1	1	0
C	0	0	0	0	1	1	1	1	0

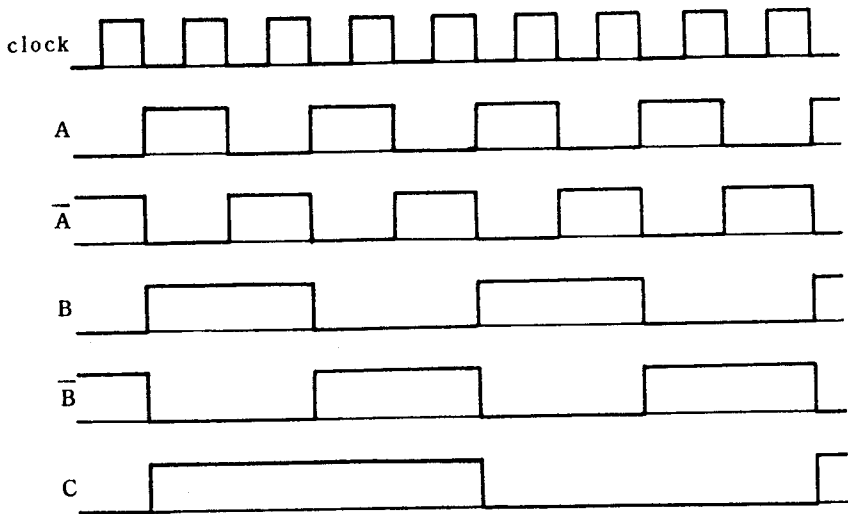
從狀態表可看出 C、B、A 的狀態變化由 000 → 001 → 010 …… → 111，依二進位的順序進行共有八個狀態，到 111 之後又變成 000，所以這種由三個正反器組成的電路可說是模八計數器，模八指有八種狀態。使用 N 個正反器則可組成 2^N 的計數器。

5-2 向下計數器 (down countor)

如果將每個正反器的CLOCK輸入端改接前一個正反器的補數輸出端，如圖36-16 (a)所示，則C、B、A的狀態隨輸入clock脈波，由111→110→101……000→111，其狀態之變化情形與前述二進位計數器相反，這種電路稱為向下計數器。



(a) 二進位向下計數器 (所有正反器之 $J = K = Hi$)



(b) 電壓波形 (以負緣觸發為例)

輸入脈 輸出 狀態	波數	0	1	2	3	4	5	6	7	8
A		0	1	0	1	0	1	0	1	0
B		0	1	1	0	0	1	1	0	0
C		0	1	1	1	1	0	0	0	0

(c) 向下計數狀態表

圖36-16 以正反器組成向下計數器

5-3 移位暫存器 (shift register)

圖 36-17 之電路稱為移位暫存器 (shift register)，在每個時序脈波輸入之後，正反器原先的輸出狀態可傳到下一個正反器。例和：在某時序脈波之前 $A = 0$ 、 $\bar{A} = 1$ 、 $J_B = A = 0$ 、 $K_B = \bar{A} = 1$ ，時序脈波之後 $B = 0$ ，即為 A 原先的狀態，相同的， B 原先的狀態經一個時序脈波之後會傳到 C ， C 傳 D ……，而 A 的狀態則由資料輸入端的狀態決定。每四個時序脈波之後，可以把四個脈波期間的輸入狀態存於 A 、 B 、 C 、 D 四個正反器，因為它能以串聯輸入方式貯存資料，所以稱為串式移位暫存器。

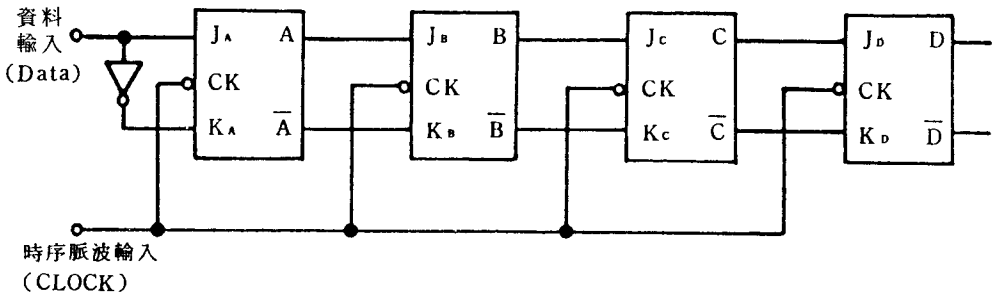
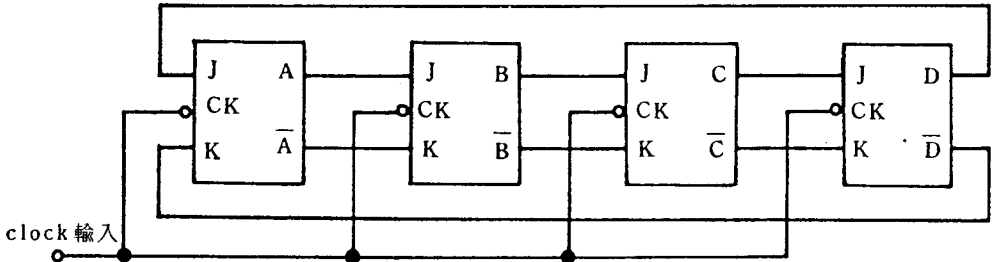


圖36-17 移位暫存器

5-4 環形計數器 (ring counter)

若將移位暫存器最末端正反器的輸出返接至最前端正反器的輸入，則成為環形計數器，如圖 36-18 所示。設最初只有 A 為 1 其他各輸出均為 0，則經一個時序脈波之後， A 的 1 會傳到 B ，下一個時序脈波後傳到 C ，如此傳到最後的正反器 D ，再傳回 A ，其狀態表如圖 36-18 (b) 所示。



(a) 環形計數器

圖36-18 正反器組成環形計數器

輸出狀態 \ 輸入脈波數	0	1	2	3	4	5
A	1	0	0	0	1	0
B	0	1	0	0	0	1
C	0	0	1	0	0	0
D	0	0	0	1	0	0

(b)環形計數器狀態表

圖 36-18 (續)

5-5 移位計數器(shift counter)

將移位暫存器最末端正反器的輸出反相回輸到最前端正反器的輸入，則成為移位計數器，如圖 36-19 所示， D 的資料反相回輸到 A ，所以一個時序脈波輸入之後， A 的狀態是 D 原先狀態的補數，其他正反器則如同環形計數器， A 的資料在時序脈波之後傳到 B 、 B 傳 C 、 C 傳 D ，如果最初 $DCBA$ 為 0000 的狀態，隨著時序脈波之輸入， $DCBA$ 的狀態變化如圖 36-19(b) 所示，共有 $2N$ 個狀態 (N 為正反器的數目)，這種移位計數器也稱作 Johnson 計數器。

5-6 水位自動控制器

圖 36-15 至圖 36-19 所介紹之計數器、移位暫存器等，均可用 TTL 或 CMOS 完成。以下我們將介紹兩個只有 CMOS 才有能力完成的電路 (TTL 由於輸入阻抗低，故不適用)。水位自動控制器是第一個例子。

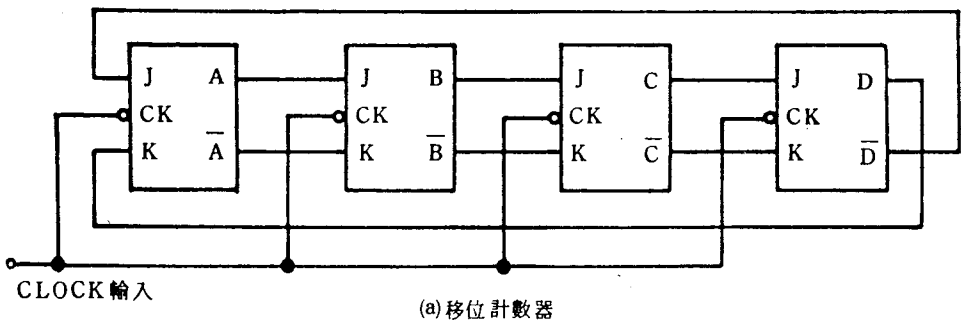


圖36-19 以正反器組成移位計數器

輸入脈 輸出 狀態	0	1	2	3	4	5	6	7	8	9
A	0	1	1	1	1	0	0	0	0	1
B	0	0	1	1	1	1	0	0	0	0
C	0	0	0	1	1	1	1	0	0	0
D	0	0	0	0	1	1	1	1	0	0

(b) 移位計數器之狀態表

圖 36-19 (續)

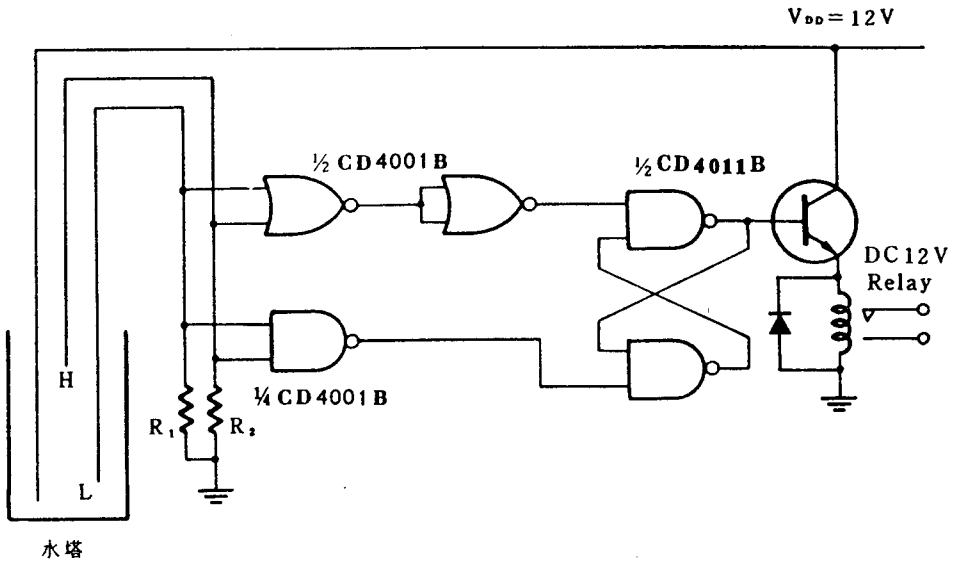


圖36-20 水位自動控制器

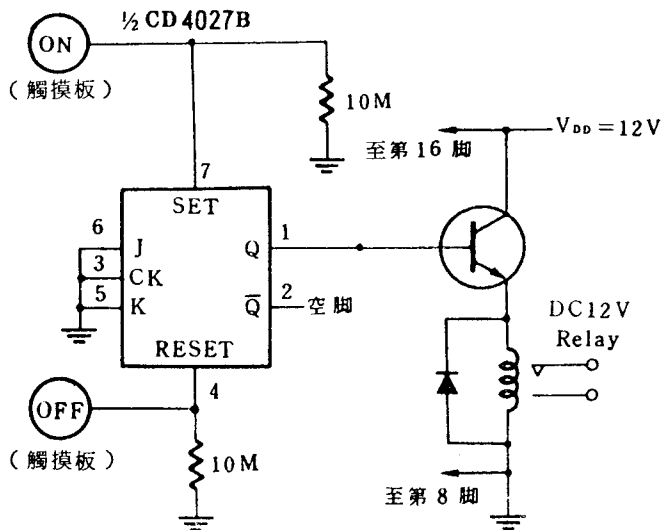
圖 36-20 之水位自動控制器是由一個 CD 4001 與一個 CD 4011 所組成。NAND Gate 組成的 R - S 正反器擔任記憶作用，因此，當水位達到 H 時繼電器釋放，但水位必須降至 L 以下繼電器才會吸持。其真值表如下所示：

高水位測試點H	低水位測試點L	繼電器	備註
0	0	吸	①
0	1	吸	②
1	1	放	③
0	1	放	④
0	0	吸	①

隨著水位之升降，水位自動控制器依①→②→③→④→①→②……不斷循環動作，因此水位永遠保持於L與H之間。

5-7 觸摸開關

在圖 36-21 所示之觸摸開關中，我們把 J、K、CK 都接地，所以 CD4207 被當作 R-S 正反器使用。平時 SET 與 RESET 接腳均經電阻器接地，故皆為低態（邏輯 0），一旦人體觸及“觸摸板”，則人體之交流信號將令觸摸板呈現高低起伏之電位，在高態的瞬間 R-S 正反器即受觸發，故以手摸 (ON) 則繼電器吸持，手離開後還是保持吸持狀態，以手摸 (OFF) 則繼電器釋放。



(註：任何金屬片或導線均可作為圖中之觸摸板)

圖36-21 觸摸開關

相關知識補充——接點反彈跳的消除

所有的機械式開關，其接點由閉合變成打開或由打開轉變成閉合時，都會發生接點反彈跳（即實際上接點是經過接合、離開、再接合、再離開，終至靜止狀態），如圖 36-26 所示。因此按一次按鈕，實際上却輸出了好幾個脈波。接點反彈跳會使邏輯電路產生錯誤的結果。

圖 36-27 所示即為接點反彈跳之消除電路，每當按鈕被按一下（或開關被搬動一次）僅輸出一個脈波。此種電路稱為手動脈波產生器。

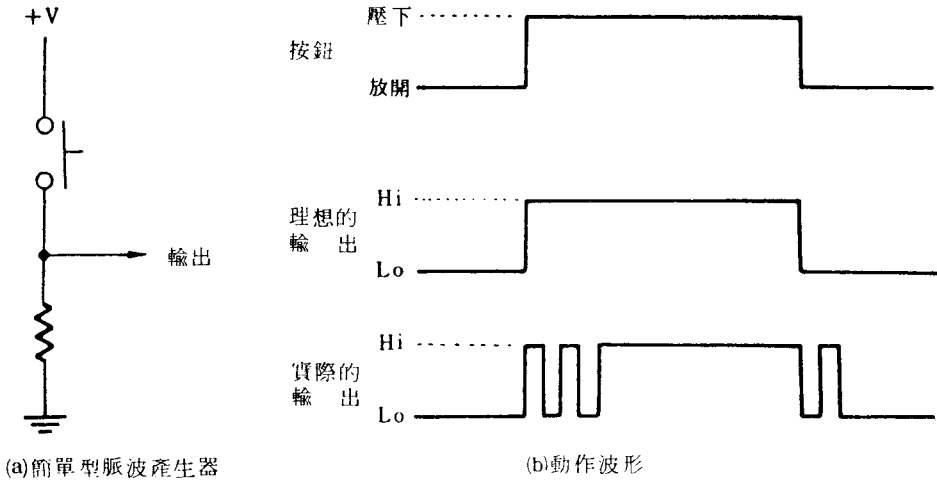


圖36-26

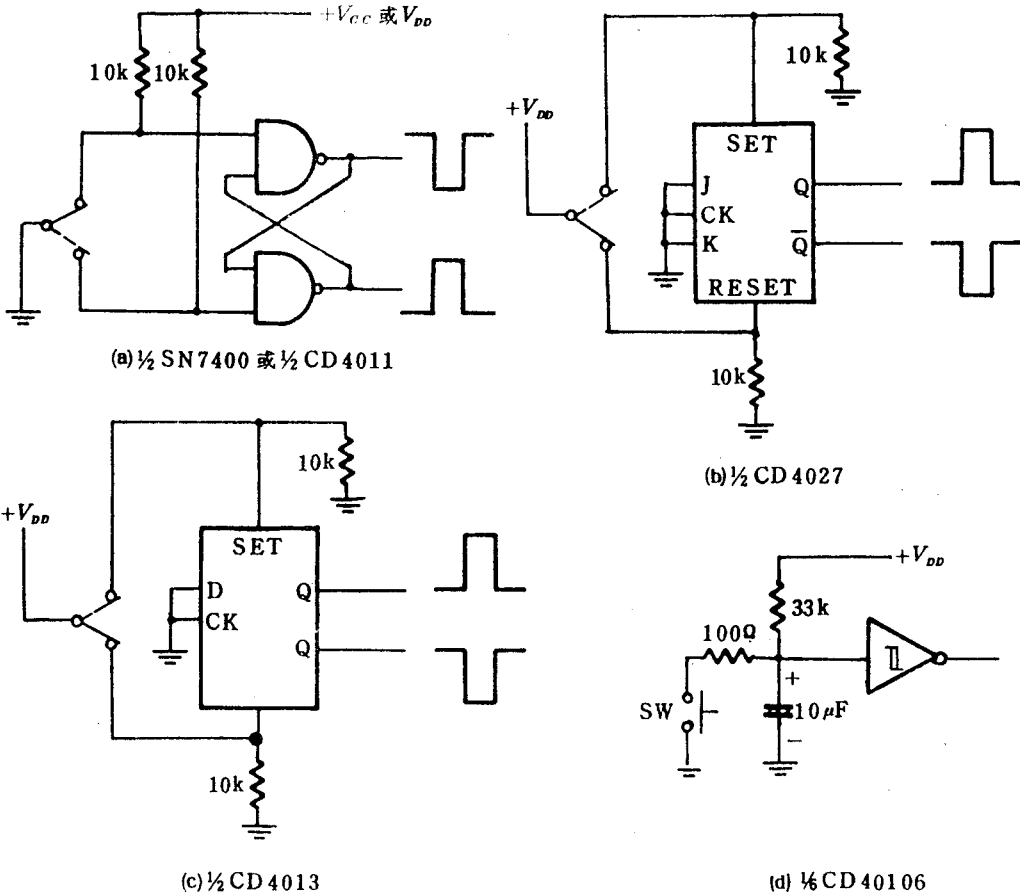


圖36-27 手動脈波產生器