

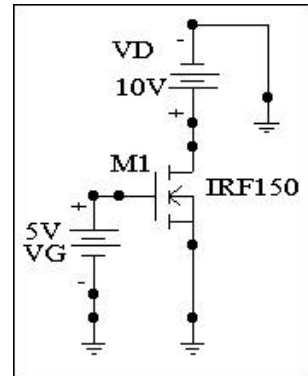
應用電子學（II）作業6

due date 2004/5/19 PM5:00(to 3A08)

注意事項：

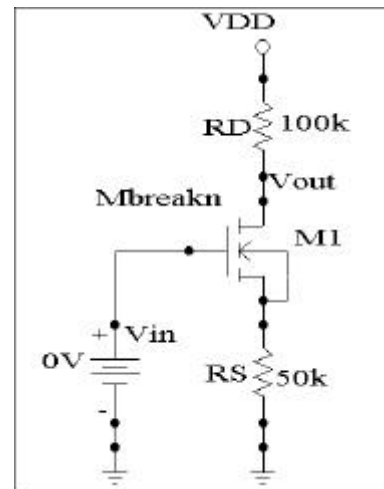
作業必須包括完整電路圖及說明，PROBE 的圖也必須加以說明，包括題號、橫軸、縱軸、每條曲線的意義，並對結果加以討論。歡迎使用 WORD 完成你的作業，手稿也可以，切忌抄襲，題目中有防止抄襲裝置。請勿只交 PSPICE 之輸出給我，一定要整理討論。並請依題次裝訂好再交。

1. (a) IRF150 為一增強型 N 通道功率 MOSFET，在 eval.slb 中有提供其 model。接成如右圖電路，VD 由 0 掃至 10V 間隔 0.05V，VG 則利用 Nested Sweep 由 0 至 10V 間隔 1V。畫出 ID 對 VD 圖。



- (b) 由(a)結果，畫出 $\sqrt{ID(sat)}$ 對 VG 圖，ID(sat)為飽和區之 ID。由此圖求出 IRF150 之(W/L)kn 及 VTb。檢查 output 檔（請印出），比較你的結果和 spice 所用的參數是否吻合？
- (c) VG 固定在 5V，模擬在 27 及 70 時之 ID 對 VD 圖，VD 由 0 掃至 10V 間隔.05V。結果和你預期相同嗎？

2. (a) 考慮右圖之共射極電路，VDD=5V，M1 是用 ps spice 提供的 MbreakN 模型來修改，方法是在 schematic 中選擇 M1，利用 Edit/Model/Edit Instant Model (text) 輸入參數.model Mbreakn NMOS(L=10u W=30u VTO=1 LAMBDA=0.01)，KP 則不加修改(default 值為 2E-5A/V²)，Vin 由 0 掃到 5V，畫出 Vout 對 Vin 圖。



- (b) 將 RS 改為 0，其他部份和(a)同，畫出 Vout 對 Vin 圖。
- (c) (a)和(b)二者比較，哪一個可用作數位邏輯中之反閘(NOT GATE)？為什麼？

3. Sedra & Smith Problem 5.37
4. Sedra & Smith Problem 5.41
5. Sedra & Smith Problem 5.44
6. Sedra & Smith Problem 5.46
7. Sedra & Smith Problem 5.48
8. Sedra & Smith Problem 5.57
9. Sedra & Smith Problem 5.60
10. Sedra & Smith Problem 5.61